

一种集成电路静态老化测试的输入矢量选取方法

崔小乐¹, 李 红¹, 史新明², 程作霖¹

(1 北京大学 深圳研究生院集成微系统科学与工程与应用重点实验室, 深圳 广东 518055;

2 中国航空工业集团公司 西安飞行自动控制研究所, 陕西 西安 710065)

摘 要: 在集成电路静态老化测试中, 对被测电路持续施加特殊的固定测试矢量, 使被测电路产生较大的漏电功耗, 有利于其早期失效的发生, 获得更好地老化效果. 提出一种产生最大漏电功耗的测试矢量选取方法. 在被测电路中设置合适的固定故障, 通过 ATPG 方法获取较小的备选测试矢量集合. 基于门电路的故障相关输入状态, 设计了一种度量指标, 可用于辅助在备选测试矢量集合中搜索目标矢量. 该度量指标与电路漏电功耗总体上为正相关关系, 可有效降低误选测试矢量的风险.

关键词: 静态老化; 测试矢量; 漏电功耗; 故障模型

中图分类号: TP311

文献标识码: A

文章编号: 1000-7180(2014)06-0072-05

A Test Pattern Selection Method for Static Burn-In of ICs

CUI Xiao-le¹, LI Hong¹, SHI Xin-ming², CHENG Zuo-lin¹

(1 The Key Lab of Integrated Microsystems, Shenzhen Graduate School of Peking University, Shenzhen 518055, China;

2 Xi'an Flight Automatic Control Research Institute of AVIC, Xi'an 710065, China)

Abstract: To accelerate the early mortality of integrated circuits during static burn-in process, a test pattern which can excite the maximum leakage power of CUTs is preferred. This paper proposes a method to select the target test pattern. The reduced candidate test patterns are generated with ATPG method by setting proper stuck-at faults in CUTs. An indicator is designed based on the fault related input states of gates, and it is used for target searching in the candidate test patterns. The method has less risk of errors because the indicator hold a good positive correlation with the leakage power of CUTs.

Key words: static burn-in; test pattern; leakage power; fault model

1 引言

集成电路的可靠性是受到业界长期关注的重要问题^[1-2]. 静态老化是一类应用广泛的集成电路老化方法. 该方法通常将已上电的被测电路置于过应力条件下进行老化, 老化过程中并不需要给被测电路提供输入信号. 此情况下, 一般可将被测电路的输入输出信号引脚空置或统一接固定电平. 实际上, 如果在静态老化过程中施加合适的测试矢量, 使被测电路产生较大的漏电功耗, 可以恶化被测电路的应力

环境, 从而使故障提早发生. 因此, 有必要研究芯片输入矢量与其静态功耗之间的关系, 优选可产生较大漏电功耗的激励矢量. 该矢量在老化过程中无需改变, 因此可以在老化负载板上以低成本产生, 即根据矢量的逻辑值, 将对应的芯片引脚固定连接于地线或电源线即可.

已有学者开展了通过优化测试矢量来调整被测电路漏电功耗的技术研究. Dongwoo Lee 等人曾提出基于概率的优化方法来最小化在正常工作模式下电路的泄漏电流^[2]; Wen-Tsong Shiue 则采用 ILP

收稿日期: 2013-08-18; **修回日期:** 2013-10-17

基金项目: 国家自然科学基金资助项目(61006032); 广东省自然科学基金资助项目(S2011010001234); 深圳市科技计划资助项目(JCYC20120614145742639, ZYC201105170354A)

算法搜索可引起最小漏电功耗的最佳输入状态^[3]; 汉明距离被用来指示施加矢量的泄漏功耗^[4]; J. P. Halter 等提出基于随机搜索的方法来确定电路的低耗状态^[5]; Q-gating 技术已被证明可减小电路在功能性待机模式时的漏电功耗^[6]; 而通过加入自偏压晶体管(SBT), 工作模式和待机模式下的漏电均可被降低^[7]. 此外, K. Chakrabarty 等人将 X-Filling 技术与测试调度技术用于老化测试^[8], 其对象虽然主要是针对动态功耗调整, 但对于被测电路的整体功耗控制具有很好的参考价值.

针对静态老化问题, 作者于 2013 年提出了一种基于 ATPG 的测试矢量产生方法^[8], 可以较好地压缩备选测试矢量集合的大小. 在搜索目标测试矢量时, 文献[9]简单采用基于门漏电功耗的加权和作为指标来引导搜索过程. 虽然在实验中并未发现由于该指标与被测电路漏电功耗之间的非单调关系而造成的搜索结果错误, 但该方法中存在着一定误搜索的可能性. 本文通过引入一种基于逻辑门故障相关状态的度量, 以达到改善目标测试矢量搜索精度的目的.

2 指标设计

2.1 指标设计

对被测电路施加一个测试矢量后, 电路中的同类门会出现多种输入状态. 为了使用基于 ATPG 的静态老化测试矢量优选方法, 需考虑各门电路的故障相关输入状态. 若仅考虑固定故障(Stuck-At-Fault), 则对于一个有 No-PI 个输入的门, 存在 No-PI+1 个故障相关的输入状态.

非门仅有一个输入和一个输出. 当输入值为‘0’时, 可检测输入线上的固定 1 故障(sa1)和输出线上的固定 0 故障(sa0); 反之, 可检测输入线上的固定 0 故障(sa0)和输出线上的固定 1 故障(sa1). 因此输入状态‘0’和‘1’均为故障相关输入状态. 其实, 非门输入线和输出线上的 sa0 和 sa1 相互等价, 反之亦然, 故只需考虑其中一个故障即可. 若向被测电路施加测试矢量后, 被测电路中有 N_1 个非门处于‘1’输入状态, 有 N_0 个非门处于‘0’输入状态, 则可定义指标为: $Q_{\text{not}} = P_1 N_1 + P_0 N_0$, 其中 P_1 和 P_0 分别为输入为‘1’与‘0’时非门的漏电功耗.

对于二输入与门, 输入矢量值‘00’无法检测任何固定故障, 因此故障相关输入状态有 3 个. 被测电

路被施加测试矢量后, 可定义指标 $Q_{\text{AND2}} = \sum_{i=1}^3 (P_i$

$- P_4) N_i$, 式中, P_i 为处于某故障相关输入状态时二输入与门的漏电功耗, P_4 为处于故障无关输入状态时二输入与门的漏电功耗, N_i 为电路中各输入状态的数量.

三输入与门有 8 个输入矢量, 输入矢量‘111’, ‘011’, ‘101’, ‘110’为故障相关的输入状态, 其所对应的门漏电功耗分别记为 P_1 - P_4 , 电路施加某测试矢量后, 电路中这四种输入状态的数量可记为分别为 N_1 - N_4 . 其他四个输入矢量为故障无关输入状态, 其所对应的门漏电功耗分别记为 P_5 - P_8 , 电路中这四种输入状态的数量可记为 N_5 - N_8 . 可定义指标: $Q_{\text{AND3}} = \sum_{i=1}^4 (P_i - \bar{P}) N_i$, 其中 $\bar{P}$ 为处于 4 个故障无关的输入状态时三输入与门的平均漏电功耗, N_i 为电路中某个故障相关输入状态的数量.

对于包括 m 种不同逻辑门的被测电路, 按照故障相关输入状态在前(共 No-PI+1 个), 故障无关输入状态在后的方式列出所有输入矢量, 可推广定义指标为

$$Q = \sum_{j=1}^m \sum_{i=1}^{n_j+1} (P_{ji} - \bar{P}_j) N_{ji},$$

式中, n_j 指第 j 种逻辑门的输入个数, P_{ji} 指第 j 种门在第 i 个输入状态下所产生的漏电功耗, N_{ji} 指施加一个测试矢量后, 被测电路中第 j 类型门的第 i 个故障相关输入状态的数量, $\bar{P}_j$ 为第 j 类型门的所有故障无关输入状态下门电路漏电功耗的平均值, 其计

算方法为: $\bar{P}_j = \frac{1}{2^{n_j} - n_j - 1} \sum_{i=n_j+2}^{2^{n_j}} P_{ji}$.

2.2 指标有效性

从指标定义可见, 若被测电路由单输入门和二输入门构成, 则漏电功耗与指标 Q 之间可以保持较好单调对应关系, 即 Q 值越大, 电路漏电功耗越大. 当被测电路中包含更多种类门时, 这种单调对应关系可能不能维持, 其主要原因在于三输入以上逻辑门的故障无关输入状态增多, 故障无关输入状态下门电路漏电功耗的平均值计算方法导致度量精度下降.

图 1 和图 2 分别展示基准电路 C6288 和 C5315 的漏电功耗与 Q 指标之间关系对比的实验结果. 其中, 基准电路 C6288 由单输入门和二输入门组成, 图 1 显示, 电路实际漏电功耗随 Q 指标值的增长而单调增长, 且逼近线性关系. 基准电路 C5315 中除单输入门和二输入门外, 还包含较多其他逻辑门类型, 如 AND3、AND4、AND5、AND9、OR3、NOR3

等.图 2 显示,虽然实际漏电功耗与 Q 指标值之间的单调性无法保持,但大致呈正相关关系,其相关系数为 0.95.可见, Q 指标可以较好地表示电路漏电功耗变化的趋势.

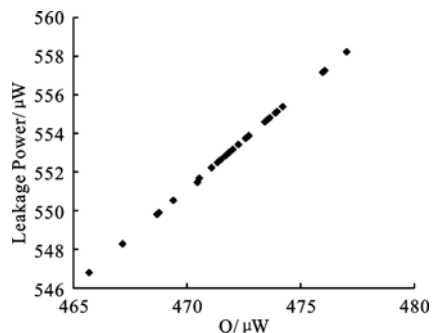


图 1 C6288 的 Q 指标和实际漏电功耗的关系

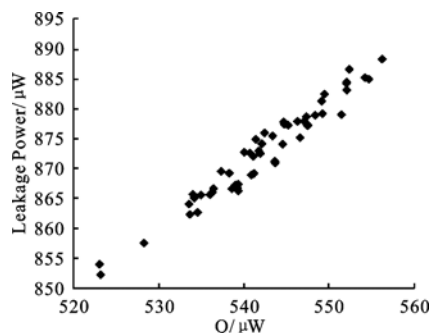


图 2 C5315 的 Q 指标和实际漏电功耗的关系

3 目标测试矢量优选方法

主要思路为:分析每种逻辑门电路在不同输入组合下的漏电功耗,选取漏电功耗最大的门输入状态,并将其映射为固定故障.在被测电路中,为每个逻辑门设置合适的故障,并利用故障等价关系,缩小故障集合大小.使用 ATPG 工具生成备选测试矢量集合,然后利用 Q 指标在备选测试矢量集合中搜索 Q 指标值最大者为目标测试矢量.具体步骤解释如下:

第一步:门漏电功耗分析.不同类型的门在不同输入组合下的漏电功耗不同,通常工艺文件中会给出温度、工艺角、工作电压等工作条件下的标称功耗值.对于老化测试,可选较高的工作温度值.表 1 总结了采用 SMIC 65 nm CMOS 工艺库,FF 工艺角,1.32 V 供电电压,125℃工作温度条件下,四种常用的二输入逻辑门的漏电功耗与输入状态的关系.可见,AND2 门、OR2 门、NAND2 门、NOR2 门分别在输入为‘11’、‘10’、‘11’、‘00’的条件下,可以分别达到其最大的门漏电功耗.

第二步:将门的最大漏电输入条件映射为门固

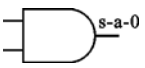
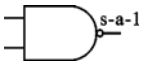
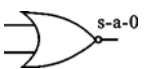
定故障.由于逻辑电路正常值与故障值相反,因此可首先在门输入端设置与门的最大漏电输入值相反的固定故障类型,即若某输入线上要求输入为‘1’,则在该输入线上设置故障 sa0;反之,设置 sa1 故障.

为了减少故障数量,在等价的门级故障中,优先选择输出端的故障.例如,当且仅当输入矢量为‘11’时,AND2 门输出端存在 sa0 故障.而 OR2 门的输入矢量‘10’无法与其输出端的固定故障形成唯一映射关系,此时保留在门输入端分别设置的两个相应故障.表 2 给出了四种典型逻辑门的故障设置方法.其它逻辑门的故障设置方法可以按照此法类推.

表 1 不同输入组合下逻辑门的漏电功耗^[8]

门类型	漏电功耗 / μ W			
	{0, 0}	{0, 1}	{1, 0}	{1, 1}
AND2	0.225	0.424	0.365	0.510
OR2	0.471	0.468	0.504	0.383
NAND2	0.029	0.278	0.204	0.292
NOR2	0.381	0.098	0.147	0.011

表 2 四种逻辑门的故障设置^[8]

门类型	产生最大漏电功耗的输入状态	故障设置
AND2	{1, 1}	
OR2	{1, 0}	
NAND2	{1, 1}	
NOR2	{0, 0}	

第三步:产生电路故障列表.利用第二步产生的故障设置规则,为被测电路的每个逻辑门设置可使该门产生最大漏电功耗的输入状态所对应的故障,并将所有故障收集在初始故障列表中.为了降低后续步骤的工作量,利用故障等价与故障支配关系,对被测电路的故障列表进行精简.

第四步:生成备选测试矢量集合.使用 ATPG 工具和第三步所获得的故障列表,生成一组覆盖所有目标故障的测试矢量,合并为测试矢量集合.

第五步:目标测试矢量选择.具体步骤如下:(a)从备选测试集合中取出一个未被选中过的测试矢

量;(b)对被测电路进行逻辑仿真,得到被测电路中每个内部节点的逻辑值,统计每个门的各种输入状态的数目 N_{ji} ;(c)按照 2.1 小节中的定义,计算该输入施加条件下的 Q 指标值;(d)从备选测试矢量集合中删除已选中的测试矢量;(e)重复操作(a)-(d),直至所有备选测试矢量均已被选择过;(f)选择最大 Q 指标值所对应的测试矢量作为目标测试矢量。

4 实验结果

为了验证本方法的有效性,使用 ATPG 工具 ATALANTA,对 7 个基准电路进行实验。所有的实

验数据均在 SMIC 65 nm CMOS 工艺下进行仿真计算,电路工作条件为 FF 工艺角,125℃ 工作温度,1.32 V 工作电压。

为了体现本方法在最大漏电功耗激励方面的优势,本文同时采用文献[8]中的漏电功耗指标(记为 Q_1)和 2.1 小节中的漏电功耗指标(记为 Q_2)进行实验,结果总结于表 3 中。从表 3 中的数据可以发现,使用本文中的漏电功耗指标所选择的测试矢量所产生的漏电功耗大于或等于采用文献[8]中的指标的情形,说明本方法较文献[8]中的方法更优。

表 3 7 个基准电路的最大 Q_1 和 Q_2 值以及对应的最大泄漏功耗

待测电路	故障集合大小	Q_1			Q_2		
		挑选出的 矢量序号	最大 Q_1 值/ μW	对应的泄漏 功耗/ μW	挑选出的 矢量序号	最大 Q_2 值/ μW	对应的泄漏 功耗/ μW
c1355	32	14	63.255	151.386	22	130.057	153.091
c3540	92	76	361.930	672.139	76	499.831	672.139
c5315	54	6	406.946	876.031	4	556.408	888.358
c6288	27	23	314.375	557.212	5	477.048	558.179
s9234	231	154	1 266.932	2 270.169	190	1 888.408	2 275.698
s13207	252	187	1 771.612	3 200.048	128	2 765.923	3 200.809
s35932	22	8	2 815.399	5 830.412	8	4 276.553	5 830.412

表 4 列出了 7 个基准电路中单输入门与二输入门所占比例。虽然单输入门与二输入门在普通电路中的占比很大,但被测电路中常常存在的其它类型门,可能导致漏电功耗与其度量指标之间出现非单调关系,从而造成目标测试矢量的误选。为了从统计角度比较本方法与文献[8]中的方法,针对 7 个基准电路,将 Q_1 和 Q_2 与实际泄漏功耗之间的散点图分别进行了线性回归分析,得到其线性回归方程,并计

算了其数据标准差与相关系数。以上分析的数据结果(请见表 5)显示,采用 Q_2 的方法所获标准差均小于使用 Q_1 的情形,而相应相关系数也高于使用 Q_1 的情形,这表明作为漏电功耗指标, Q_2 优于 Q_1 ,因此可以寻找到产生更大漏电功耗的测试矢量。特别是对于规模较小的电路,以及单输入门与二输入门占比接近 100% 的电路,采用 Q_2 指标甚至可以使其与漏电功耗的相关系数接近 1,不会发生误选。

表 4 7 个基准电路中非门和二输入门占整个电路门数的比例值

待测电路	电路的门数目 (D 触发器除外)	非门和二输入门的数目			所占百分比/% (只对二输入门)	所占百分比/% (两者)
		非门	二输入门	两者		
c1355	546	72	456	528	83.516	96.703
c3540	1 668	713	743	1 456	44.544	87.290
c5315	2 307	894	868	1 762	37.625	76.376
c6288	2 416	32	2 384	2 416	98.675	100.000
s9234	5 596	3 570	1 808	5 378	32.309	96.104
s13207	7 951	5 378	2 180	7 558	27.418	95.057
s35932	16 065	3 861	12 204	16 065	75.966	100.000

表 5 7 个基准电路的 Q_i 和 Q_e 与实际泄漏功耗的线性回归分析结果

待测电路	Q	线性回归模型	标准差	相关系数(R ²)
c1355	Q_e	$y = 0.993x + 23.89$	0.048	0.998 22
	Q_i	$y = 0.343x + 130.3$	1.003	0.206 40
c3540	Q_e	$y = 0.999x + 172.6$	0.097	0.999 87
	Q_i	$y = 0.559x + 465.5$	3.297	0.846 86
c5315	Q_e	$y = 1.064x + 295.6$	1.803	0.950 91
	Q_i	$y = 0.621x + 630.2$	5.767	0.497 91
c6288	Q_e	$y = 1.001x + 80.58$	0.026	0.999 90
	Q_i	$y = 0.407x + 431.1$	2.416	0.57888
s9234	Q_e	$y = 0.999x + 389.0$	0.228	0.999 56
	Q_i	$y = 0.355x + 1\ 823$	4.504	0.826 85
s13207	Q_e	$y = 0.995x + 448.9$	0.598	0.997 28
	Q_i	$y = 0.433x + 2\ 425$	7.765	0.541 81
s35932	Q_e	$y = 1x + 1\ 553$	4.33E-13	1
	Q_i	$y = 0.458x + 4\ 561$	46.556	0.940 09

5 结束语

通过将固定故障与输入状态相联系,本文改进了静态老化测试矢量的选择方法^[10].实验结果表明,本方法在测试矢量选择的精确程度方面较优,选择结果有效性好.本方法无需进行精确的被测电路功耗计算,而是采用指标计算方式搜索可产生最大漏电功耗的测试矢量,计算复杂度相对较低,因此具有良好的可行性.

参考文献:

- [1] 林定源. 半导体器件的可靠性保证[J]. 微电子学与计算机, 1975, 1(1): 1-4.
- [2] 赵和义, 郑鹏洲. 可靠性概念的应用必须确切[J]. 微电子学与计算机, 2003, 20(10): 35-37.
- [3] Lee D, Blaauw D, Sylvester D. Runtime leakage minimization through probability-aware optimization[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2006, 14(10): 1075-1088.
- [4] Shiue W T. Leakage power estimation and minimization in VLSI circuits[C]// The 2001 IEEE International Symposium on Circuits and Systems. Sydney: IEEE, 2001: 178-181.
- [5] Kundu S, Kumar S, Chattopadhyay S. Test pattern selection and customization targeting reduced dynamic and leakage power consumption[C]// Asian Test Symposium. Taiwan: IEEE, 2009: 307-312.
- [6] Halter J P, Najm F N. A gate-level leakage power reduc-

tion method for ultra-low-power CMOS circuits[C]// Proceedings of the IEEE 1997 Custom Integrated Circuits Conference. Santa Clara: IEEE, 1997: 475-478.

- [7] Gopalakrishnan H, Shiue W T. Leakage power reduction using self-bias transistor in VLSI circuits[C]// 2004 IEEE Workshop on Microelectronics and Electron Devices. Boise: IEEE, 2004: 71-74.
- [8] Sethuram R, Arabi K, Abu-Rahma M. Leakage power profiling and leakage power reduction using DFT hardware[C]// IEEE 29th VLSI Test Symposium (VTS). Dana Point: IEEE, 2011: 46-51.
- [9] Bahukudumbi S, Chakrabarty K. Wafer-level testing and test during burn-in for integrated circuits[M]. Boston/London: Artech House, 2010.
- [10] Xiaole Cui, Zhengyu Qian, Xinming Shi, et al. Test pattern generation for static burn-in based on equivalent fault model[C]// IEEE International Conference on Electron Devices and Solid-State Circuits. Hong Kong: IEEE, 2013: 1-2.

作者简介:

崔小乐 男, (1975—), 博士, 副教授. 研究方向为 VLSI 测试与 DFT、芯片设计、可靠计算.

李红 女, (1988—), 硕士研究生. 研究方为 VLSI 测试与 DFT.

史新明 男, (1986—), 硕士. 研究方向为 VLSI 测试与 DFT、芯片设计.

程作霖 男, (1991—), 硕士研究生. 研究方为 VLSI 测试与 DFT.